

Method for driving a plasma-display panel

Patent Number: ☐ US5943031
Publication date: 1999-08-24
Inventor(s): KOBAYASHI KENICHI (JP); TOKUNAGA TSUTOMU (JP)
Applicant(s): PIONEER ELECTRONIC CORP (JP)
Requested Patent: ☐ JP10083160
Application Number: US19970934004 19970828
Priority Number(s): JP19960257653 19960906
IPC Classification: G09G3/28
EC Classification: G09G3/28
Equivalents:

Abstract

A method for driving a matrix type of plasma display panel is capable of stably displaying an image in error-discharge free. The plasma display panel including a plurality of row electrodes extending parallel to each other, two adjacent ones of the row electrodes being paired, and a plurality of column electrodes extending perpendicularly to the row electrodes at a given intervals wherein a region in which, one pair of row electrodes and one column electrode are crossed and spaced with a distance to each other at an intersection corresponding to one pixel. The method includes the steps of: applying first resetting pulses to all of the row electrodes simultaneously to cause discharges between all of the pairs of row electrodes, each first resetting pulse including a pulse rise or pulse fall time longer than each duration of the sustain pulse for sustaining a discharge emission as a simultaneous resetting step; applying a second resetting pulse to one of the pair of row electrodes to cause discharge therebetween immediately after applying the first resetting pulse to the one of the pair of row electrodes; applying a scan pulse to every pair of row electrodes and simultaneously applying a pixel data pulse to every column electrode to write pixel data to the associated pixels in accordance with pixel data pulses applied; and applying a series of sustain pulses alternately to one of the row electrode pair and the other thereof to maintain sustain-discharge between the pair of row electrodes.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-83160

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	E
		4237-5H		J
H 0 1 J 11/00			H 0 1 J 11/00	A

審査請求 未請求 請求項の数6 F D (全 9 頁)

(21) 出願番号 特願平8-257653

(22) 出願日 平成8年(1996) 9月6日

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 徳永 勉

山梨県甲府市大里町465番地 バイオニア株式会社内

(72) 発明者 小林 謙一

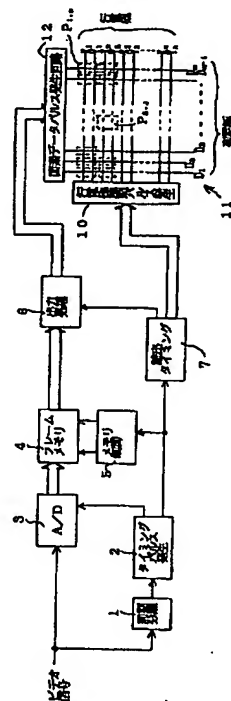
山梨県甲府市大里町465番地 バイオニア株式会社内

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 誤放電のない安定した表示動作が可能なプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 複数の行電極対と、行電極対に交差して配列された複数の列電極とを有し、第1のリセットパルス印加して行電極対間に放電を生じさせる一斉リセット期間と、画素データに応じて点灯及び消灯画素を選択するアドレス期間と、点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、一斉リセット期間において第1のリセットパルスの終了直後に行電極対の内的一方の行電極に第2のリセットパルス印加することを特徴とする。



【特許請求の範囲】

【請求項 1】 複数の行電極対と、前記行電極対に交差して配列された複数の列電極と、

前記行電極対と列電極の各交差する点毎に画定される画素セルとを有し、

前記全ての行電極対間に放電維持パルスに比して立ち上がり又は立ち下がり時間が十分長い第 1 のリセットパルスを印加して前記行電極対間に放電を生じさせる一斉リセット期間と、

前記行電極対に走査パルスを印加するとともに前記列電極に画素データパルスを印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、

前記行電極対に交互に放電維持パルスを印加して前記点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、

前記一斉リセット期間において前記第 1 のリセットパルスの終了直後に前記行電極対の内の一方向の行電極に第 2 のリセットパルスを印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記第 1 のリセットパルスは、前記行電極対の内の一方向の行電極に印加される所定極性のリセットパルスと、

前記行電極対の内他方の行電極に同時に印加される前記所定極性とは逆極性のリセットパルスとからなり、

前記第 2 のリセットパルスは、前記行電極対の内の一方向の行電極に印加される所定極性のリセットパルスとは逆極性であることを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】 前記アドレス期間において前記走査パルスの直前に前記行電極対にプライミングパルスを印加することを特徴とする請求項 1 又は 2 記載のプラズマディスプレイパネルの駆動方法。

【請求項 4】 前記画素セル内の行電極の幅を $300\mu\text{m}$ 以上としたことを特徴とする請求項 1 乃至 3 のいずれか 1 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 5】 前記画素セル内の行電極対は、放電ギャップを介して互いに対向して突出した突出部を有することを特徴とする請求項 1 乃至 3 のいずれか 1 に記載のプラズマディスプレイパネルの駆動方法。

【請求項 6】 前記突出部は、前記放電ギャップ近傍の幅広部とそれに続く幅狭部とを有することを特徴とする請求項 5 記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マトリクス表示方式の面放電型のプラズマディスプレイパネル（PDP）の駆動方法に関する。

【0002】

【従来の技術】 本出願人は、先に特願平 7-90977 号の出願にてアドレスマージンが大幅に改善され、誤放電の無い正確な発光表示を得ることができる PDP の駆動方法を提案している。図 5 は、かかる駆動方法を示し、PDP に印加される各種パルスの印加タイミングを示す図である。プラズマディスプレイパネルは、周知の如く、薄型の 2 次画面表示器の 1 つとして近時種々の研究がなされており、その 1 つにメモリ機能を有する交流型放電型マトリクス方式のプラズマディスプレイパネルが知られている。図 4 は、かかるプラズマディスプレイパネルを含むプラズマディスプレイ装置の概略構成を示す図である。

【0003】 かかる図 4 において、駆動装置 100 は、入力されたビデオ信号を 1 画素毎に対応したデジタルの画素データに変換して、この画素データに対応した画素データパルスを PDP（プラズマディスプレイパネル）11 の列電極 $D_1 \sim D_m$ に印加する。PDP 11 は、上記列電極 $D_1 \sim D_m$ 、及びかかる列電極と直交し且つ X 及び Y なる一対にて 1 行を構成する行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ を備えている。これら列電極及び行電極対各々は図示せぬ誘電体を挟んで形成されており、1 つの列電極及び行電極対が交差する部分に 1 つの画素セルが形成される。

【0004】 駆動装置 100 は、上記 PDP 11 の全ての上記行電極対間に強制的に放電励起せしめて壁電荷を形成（もしくは消去）させるためのプライミングパルス PP_x 及び PP_y を発生してこれらを PDP 11 の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 夫々に印加する。又、駆動装置 100 は、PDP 11 に上記画素データを書き込むための走査パルス SP、放電発光を維持するための維持パルス IP_x 及び IP_y 、更に、維持放電発光を停止させるための消去パルス EP の各々を発生してこれらを PDP 11 の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する。

【0005】 次に、各種駆動パルスの印加タイミングについて図 5 を参照して説明する。図 5 において、先ず、駆動装置 100 は、負電圧のリセットパルス RP_x を全ての行電極 $X_1 \sim X_n$ に印加すると同時に、正電圧のリセットパルス RP_y を行電極 $Y_1 \sim Y_n$ の各々に印加する。かかるリセットパルスの印加により PDP 11 の全ての行電極対間に放電が生じる。かかる放電により、各画素セル内において荷電粒子が発生し、その放電終息後に壁電荷が蓄積形成される（一斉リセット行程）。ここで、リセットパルス RP_x 、 RP_y は、表示に関係ないリセットパルスによる放電発光を抑え、コントラストを向上させるために、（長時定数）のパルスを用いている。

【0006】 次に、駆動装置 100 は、各行毎の画素データに対応した画素データパルス $DP_1 \sim DP_n$ を順次、列電極 $D_1 \sim D_n$ に印加する。駆動装置 100 は、

上記画素データパルス $DP_1 \sim DP_n$ 夫々の印加タイミングに同期して走査パルス SP を行電極 $Y_1 \sim Y_n$ へ順次印加して行く。この際、かかる画素データパルス DP 、及び走査パルス SP が夫々列電極及び行電極に同時に印加された画素セルにのみ放電が生じて、上記一斉リセットにて形成された壁電荷の大半が消滅する。

【0007】一方、走査パルス SP が印加されたものの画素データパルス DP が印加されない画素セルにおいては、上述の如き放電が生じないので、上記一斉リセットにて形成された所望量の壁電荷はそのまま残留する。つまり、上記一斉リセットにて形成された所望量の壁電荷は、画素データの内容に応じて選択的に消去されるのである（画素データ書込行程）。

【0008】次に、駆動装置100は、正極性の維持パルス IP_x を連続して行電極 $X_1 \sim X_n$ の夫々に印加すると共に、かかる維持パルス IP_x の印加タイミングとは、ずれたタイミングにて正極性の維持パルス IP_y を連続して行電極 $Y_1 \sim Y_n$ の夫々に印加する。かかる維持パルスが連続して印加されている期間にわたり上記壁電荷が残留したままになっている画素セルのみが放電発光を維持する（維持放電行程）。

【0009】次に、駆動装置100は、消去パルス EP を行電極 $X_1 \sim X_n$ 夫々に印加することにより、上記維持放電を停止せしめる（維持放電停止行程）。

【0010】

【発明が解決しようとする課題】ところで、上述の駆動方法では、一斉リセット期間において放電維持パルスに比して立ち上がり又は立ち下がり時間が十分長いリセットパルスを用いているので、リセット放電が維持放電に比して非常に弱いものとなっている。そのため、一斉リセット期間において各画素セルで放電するタイミングが異なり、各画素セルで形成される壁電荷量が異なることとなる。従って、次のアドレス期間における動作が不安定になる。本発明は、かかる問題を解決するためになされたものであり、誤放電のない安定した表示動作が可能なプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1の発明は、複数の行電極対と、行電極対に交差して配列された複数の列電極とを有し、行電極対と列電極の各交差する点毎に画定される画素セルとを有し、全ての行電極対間に放電維持パルスに比して立ち上がり又は立ち下がり時間が十分長い第1のリセットパルスを印加して行電極対間に放電を生じさせる一斉リセット期間と、行電極対に走査パルスを印加するとともに列電極に画素データパルスを印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に交互に放電維持パルスを印加して点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法で

あって、一斉リセット期間において第1のリセットパルスの終了直後に行電極対の内の一方の行電極に第2のリセットパルスを印加することを特徴とする。

【0012】請求項2の発明は、請求項1記載のプラズマディスプレイパネルの駆動方法であって、第1のリセットパルスは、行電極対の内の一方の行電極に印加される所定極性のリセットパルスと、行電極対の内の他方の行電極に同時に印加される所定極性とは逆極性のリセットパルスとからなり、第2のリセットパルスは、行電極対の内の一方の行電極に印加される所定極性のリセットパルスとは逆極性であることを特徴とする。請求項3の発明は、請求項1又は2記載のプラズマディスプレイパネルの駆動方法であって、アドレス期間において走査パルスの直前に行電極対にプライミングパルスを印加することを特徴とする。

【0013】請求項4の発明は、請求項1乃至3のいずれか1に記載のプラズマディスプレイパネルの駆動方法であって、画素セル内の行電極の幅を $300\mu m$ 以上としたことを特徴とする。請求項5の発明は、請求項1乃至3のいずれか1に記載のプラズマディスプレイパネルの駆動方法であって、画素セル内の行電極対は、放電ギャップを介して互いに対向して突出した突出部を有することを特徴とする。請求項6の発明は、請求項5記載のプラズマディスプレイパネルの駆動方法であって、突出部は、放電ギャップ近傍の幅広部とそれに続く幅狭部とを有することを特徴とする。

【0014】

【作用】請求項1の発明は、プラズマディスプレイパネルの駆動方法の一斉リセット期間において第1のリセットパルスの終了直後に行電極対の内の一方の行電極に第2のリセットパルスを印加するようにしたので、第1リセットパルスで生じていた壁電荷の差を第2リセットパルスの印加により軽減することができる。

【0015】請求項2の発明では、第1のリセットパルスは、行電極対の内の一方の行電極に印加される所定極性のリセットパルスと、行電極対の内の他方の行電極に同時に印加される所定極性とは逆極性のリセットパルスとからなり、第2のリセットパルスは、行電極対の内の一方の行電極に印加される所定極性のリセットパルスとは逆極性となるようにしたので、第1リセットパルスで生じていた壁電荷の差を第2リセットパルスの印加により軽減することができる。請求項3の発明では、アドレス期間において走査パルスの直前に行電極対にプライミングパルスを印加するようにしたので、壁電荷量及び放電形成を加速させるプライミング粒子の数が行毎に異なるようにすることができる。

【0016】請求項4の発明では、画素セル内の行電極の幅を $300\mu m$ 以上としたことにより、維持放電発光を強くすることができる。請求項5の発明では、画素セル内の行電極対が、放電ギャップを介して互いに対向し

5

て突出した突出部を有するようにしたので、リセット放電を局所化することができる。請求項6の発明では、突出部を、放電ギャップ近傍の幅広部とそれに続く幅狭部とを有するようにしたので、リセット放電を局所化することができる。

【0017】

【発明の実施の形態】図1は、本発明による駆動方法にてパネル駆動を行う駆動装置を備えたプラズマディスプレイ装置の構成を示す図である。かかる図1において、同期分離回路1は、供給された入力ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路2に供給する。タイミングパルス発生回路2は、これら抽出された水平及び垂直同期信号に基づいた抽出同期信号タイミングパルスを発生してこれをA/D変換器3、メモリ制御回路5及び読出タイミング信号発生回路7の各々に供給する。

【0018】A/D変換器3は、上記抽出同期信号タイミングパルスに同期して入力ビデオ信号を1画素毎に対応したデジタル画素データに変換し、これをフレームメモリ4に供給する。メモリ制御回路5は、上記抽出同期信号タイミングパルスに同期した書込信号及び読出信号をフレームメモリ4に供給する。フレームメモリ4は、かかる書込信号に応じて、A/D変換器3から供給された各画素データを順次取り込む。

【0019】又、フレームメモリ4は、かかる読出信号に応じて、このフレームメモリ4内に記憶されている画素データを順次読み出して次段の出力処理回路6へ供給する。読出タイミング信号発生回路7は、放電発光動作を制御するための各種タイミング信号を発生してこれらを行電極駆動パルス発生回路10、及び出力処理回路6の各々に供給する。出力処理回路6は、読出タイミング信号発生回路7からのタイミング信号に同期させて、上記フレームメモリ4から供給された画素データを画素データパルス発生回路12に供給する。

【0020】画素データパルス発生回路12は、出力処理回路6から供給される各画素データに応じた画素データパルスDPを発生して上記PDP（プラズマディスプレイパネル）11の列電極 $D_1 \sim D_m$ に印加する。行電極駆動パルス発生回路10は、上記PDP11の全ての行電極対間に強制的に放電を励起せしめて後述する放電空間に荷電粒子を発生させるための第1リセットパルス RP_{x1} 及び RP_y 、第2リセットパルス RP_{x2} 、上記荷電粒子を再形成するためのプライミングパルスP、画素データ書き込みのための走査パルスSP、放電発光を維持するための維持パルス IP_x 及び IP_y 、更に上記維持放電発光を停止させるための消去パルスEPの各々を発生して、これらを上記読出タイミング信号発生回路7から供給された各種のタイミング信号に応じたタイミングにてPDP11の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する。

6

【0021】図6は、かかるPDP11の構造を示す図である。図6において、表示面である前面ガラス基板110の内面（後述する背面ガラス基板113と対向する面）には、互いに対となるように行電極 $Y_1 \sim Y_n$ 及び行電極 $X_1 \sim X_n$ 夫々が形成されている。これら行電極は、誘電体層111にて被覆されている。かかる誘電体層111には、MgO（酸化マグネシウム）層112が蒸着されている。MgO層112と背面ガラス基板113との間には放電空間114が形成されている。背面ガラス基板113には、蛍光体が塗布された列電極 $D_1 \sim D_m$ が形成されている。この際、上記行電極 $Y_1 \sim Y_n$ 及び行電極 $X_1 \sim X_n$ は、X及びYなる一対にて画像の1行を形成するようになっており、この1行分の行電極対 X_i, Y_i ($i=1, \dots, n$)と、1つの列電極 D_j ($j=1, \dots, m$)とが交差（上面から見て）する部分に1つの画素セル $P_{i,j}$ が形成される。

【0022】図2は、上記の各種駆動パルスの印加タイミングを示す図である。図2において、列電極 $D_1 \sim D_m$ には、画素データパルス $DP_1 \sim DP_n$ が所望の画素に対応する行電極 $Y_1 \sim Y_n$ の走査パルスSPに同期して印加される。一斉リセット時には、負電圧の立ち上がり（の緩やかなリセットパルス RP_{x1} 、すなわち第1リセットパルス RP_{x1} ）を全ての行電極 $X_1 \sim X_n$ に印加すると同時に、正電圧の同じく立ち上がり（の緩やかな第1リセットパルス RP_y ）を行電極 $Y_1 \sim Y_n$ の各々に印加する。かかるリセットパルスの印加によりPDP11の全ての行電極対間に放電が生じ、その放電終息後に壁電荷が蓄積形成されるが、立ち上がりが緩いパルスのため、放電するタイミングが各画素セルで異なり壁電荷の残量に差が生じる。

【0023】そこで、次に行電極 $X_1 \sim X_n$ に第1リセットパルス RP_{x1} の終了直後に正電圧の立ち上がり（が比較的速い第2リセットパルス RP_{x2} ）を印加する。この第2リセットパルス RP_{x2} の印加により行電極X、Y間の壁電荷が放電され、各画素セルの残留壁電荷量の差は軽減され、プライミングパルスPP以降の諸動作が各画素セルに対し壁電荷の差による影響をほとんど受けることなく可能となる。

【0024】また、プライミングパルスPPの印加は、図2に示すように走査パルスSPの直前に行うようにしたので、第2リセットパルス RP_{y2} の終了時からプライミングパルスPPの印加までの期間が各行により異なるが、プライミングパルスと走査パルスSPの間を短く各行に対し同じくすることで、各画素セルにおける壁電荷量及び放電形成を加速させる、プライミング粒子数がほぼ同じになるので、走査パルスSPでの安定したアドレス動作を可能とすることができる。

【0025】なお、第2のリセットパルス RP_{y2} の印加による放電発光により、コントラストは若干低下するが、図3（a）に示すように、行電極 X_j, Y_i の幅1

を $300\mu\text{m}$ 以上とすることにより電極面積を広くし、維持放電発光を強めることにより相対的にコントラストを向上させるようにしても良い。また、図3(b)、(c)のように、画素セル毎に行電極対に対向する突出部Tを設け、または、突出部TをギャップG近傍の幅広部と幅狭部で構成し、第1リセットパルス RP_{x1} 、 RP_{y1} によるリセット放電をギャップG近傍に局所化することによりリセット放電発光を弱め、相対的にコントラストを向上させるようにしても良い。

【0026】

【発明の効果】本発明のプラズマディスプレイパネルの駆動方法によれば、長時定数の第1リセットパルスに続く第2リセットパルスの印加によりコントラストを損なうことなく各画素セルの壁電荷量の差を軽減することにより、誤放電のない安定した表示動作が可能となる。

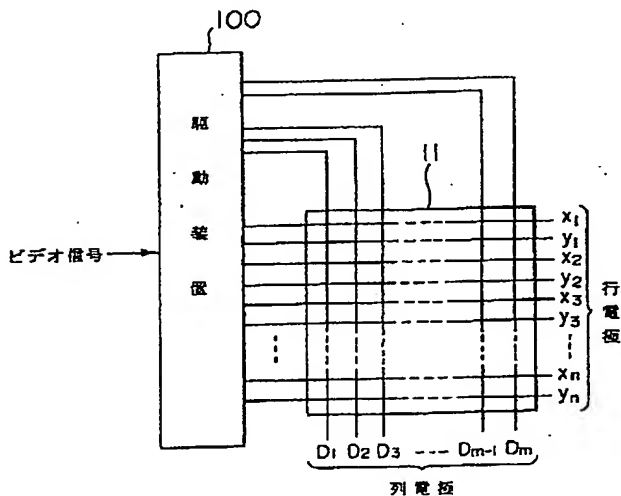
【図面の簡単な説明】

【図1】本発明の実施の形態によるプラズマディスプレイパネルの駆動装置を示す図である。

【図2】本発明の実施の形態によるプラズマディスプレイパネルの駆動パルスの印加タイミングを示す図である。

【図3】本発明の実施の形態による行電極対の構造を示す上面図である。

【図4】



【図4】従来のプラズマディスプレイ装置の概略構成を示す図である。

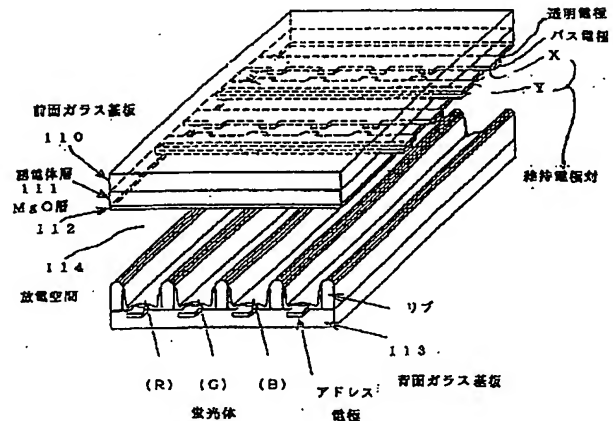
【図5】従来のプラズマディスプレイパネルの駆動パルスの印加タイミングを示す図である。

【図6】プラズマディスプレイパネルの構造を示す図である。

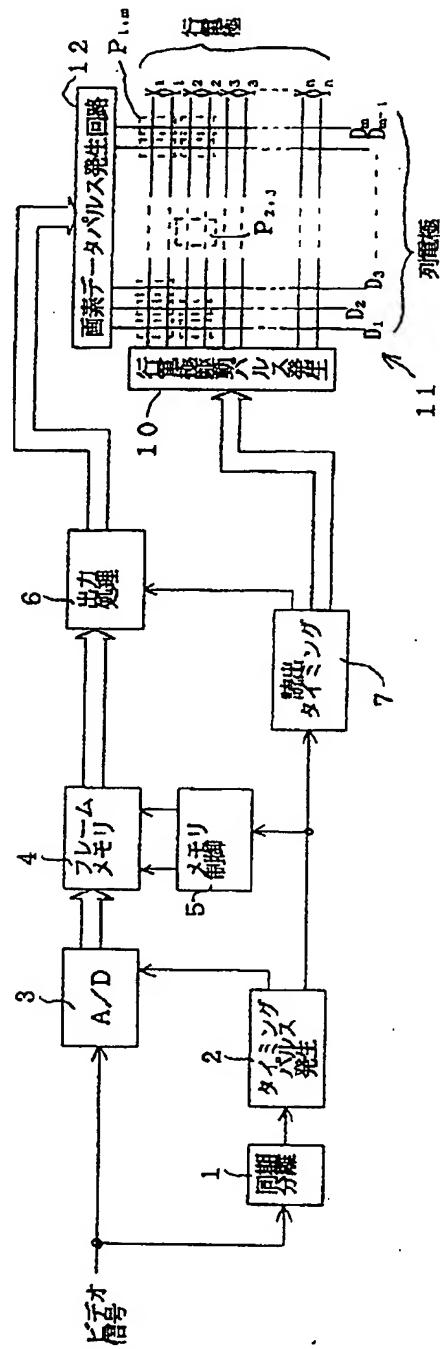
【符号の説明】

- | | |
|-----|---------------|
| 1 | 同期分離回路 |
| 2 | タイミングパルス発生回路 |
| 3 | A/D変換器 |
| 4 | フレームメモリ |
| 5 | メモリ制御回路 |
| 6 | 出力処理回路 |
| 7 | 読出タイミング信号発生回路 |
| 10 | 行電極駆動パルス発生回路 |
| 11 | PDP |
| 12 | 画素データパルス発生回路 |
| 100 | 駆動装置 |
| 110 | 前面ガラス基板 |
| 111 | 誘電体層 |
| 112 | MgO層 |
| 113 | 背面ガラス基板 |
| 114 | 放電空間 |

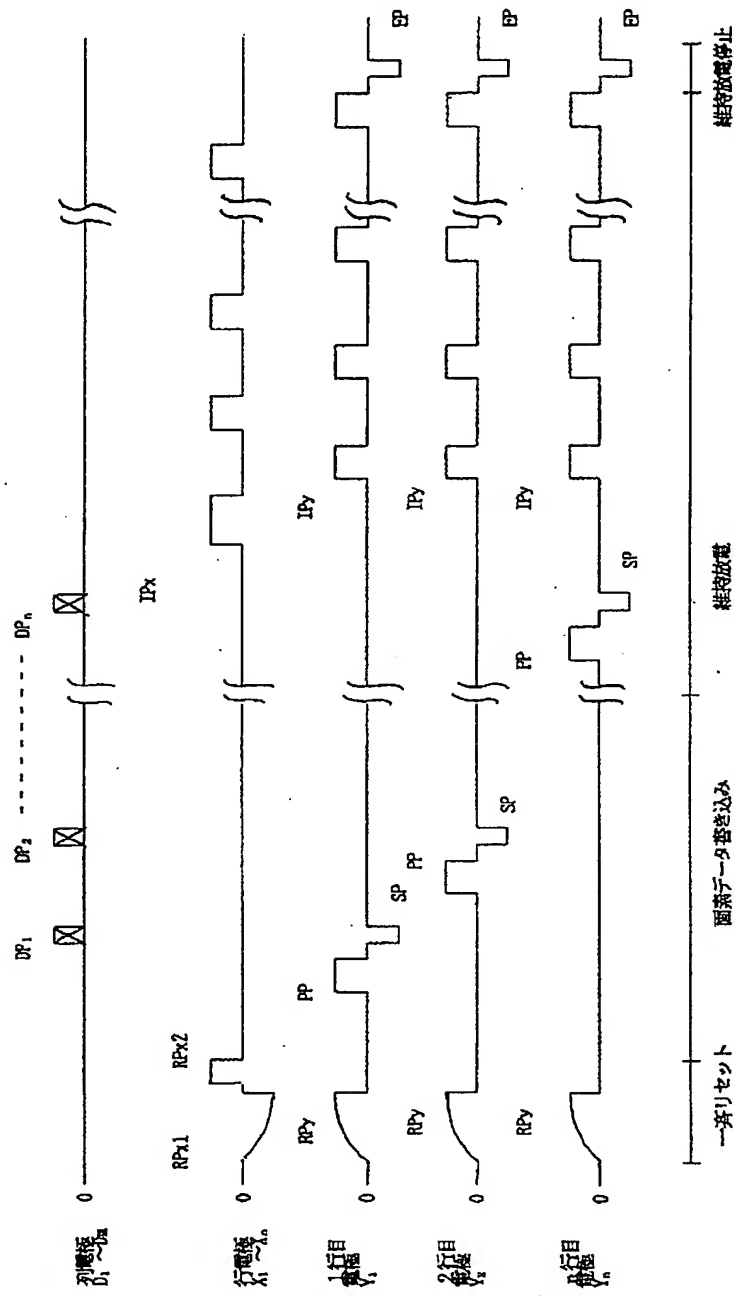
【図6】



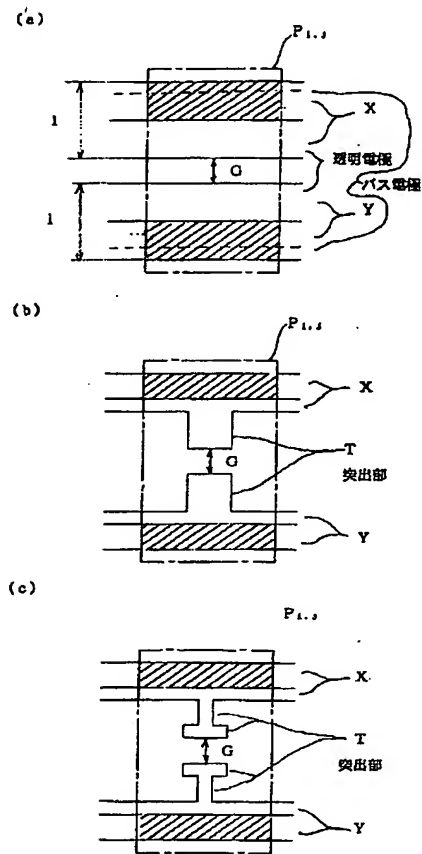
【図1】



【図2】



【図3】



【図5】

